

AISi/TiN バンプおよび ACP を用いた Chip on Chip 構造の接合抵抗評価 Evaluation of Resistance for Chip on Chip Bonding using "AISi/TiN" bumps with ACP

○秋山 正弘¹, Dali Zhang², Myung-Jae Lee², Edoardo Charbon² (1. 長野高専, 2. TUDelft)

○Masahiro Akiyama¹, Dali Zhang², Myung-Jae Lee², Edoardo Charbon²

(1. NIT, Nagano College, 2. TUDelft)

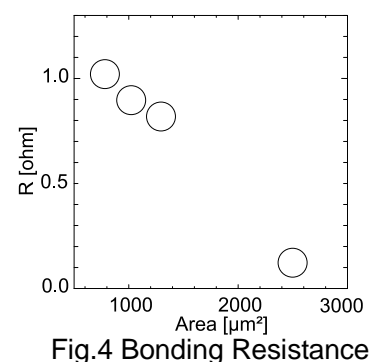
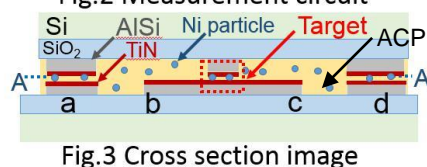
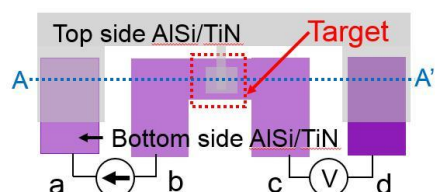
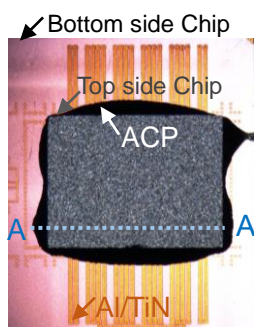
E-mail: akiyama@nagano-nct.ac.jp

1. 背景・目的

ACP (異方性導電樹脂ペースト) 等を用いた接合は, バンプ/電極間の導通と封止を 1 回の低温熱圧着で達成できるため, 低コストな狭ピッチ接合技術として有用視されている^[1]. バンプの主な材料には, 金, 銀, 銅, ニッケル, はんだ (Sn-Pb 合金), Sn-Ag 合金, Sn-Cu 合金, Sn-Ag-Cu 合金などがある^[2]. しかし, これらの材料は CMOS プロセスと互換性が無く, バンプ製作後に CMOS プロセス装置を利用することは出来ない. そのため, CMOS プロセスと互換性のある材料が求められる. 我々は互換性のあるバンプ材料として AISi/TiN の利用して COC(Chip on Chip)構造を製作し, 接合抵抗評価を行った.

2. 実験・結果・まとめ

製作した 2 種類の Chip をダイボンダー(M-1300)および ACP(TAP0402E)を用いて接合した. 接合条件は加熱温度 160 度, 接合圧力 10N, 総接合面積 0.1mm²である. この COC 構造の上面からの写真を Fig.1 に示した. Fig.2 にその測定回路を示した. a-b 間に電流源を接続, c-d 間の電圧降下を測定し接合抵抗を評価 (4 端子法) する. Fig.3 に断面図を示した. ここで SiO₂ 膜厚 800nm, AISi 膜厚 6μm, TiN 膜厚 40nm, ACP に含まれる Ni 粒子径は 1~10μm (平均 5μm) である. Fig.2,3 の"Target"は測定対象のバンプ接合場所を示している. この接合面積を変化させた場合の抵抗値の評価結果を Fig.4 に示した. Fig.4 よりバンプ面積 28×28μm²で 1Ω程度の接合抵抗となり, CMOS プロセスと互換性のある AISi/TiN のバンプを用いて COC 構造が実現可能である事が確認できた.



3. 謝辞

本研究は豊橋技大・河野剛士先生, 山際翔太さん, 岡部謙志さんの協力で行われたものである.

4. 参考文献

- [1] 田中直敬, et.al., エレクトロニクス学会誌, Vol.5, pp.568-573, 2002.
- [2] 栗山文夫, et.al., エバラ時報, No.207, pp.34-38, 2005.